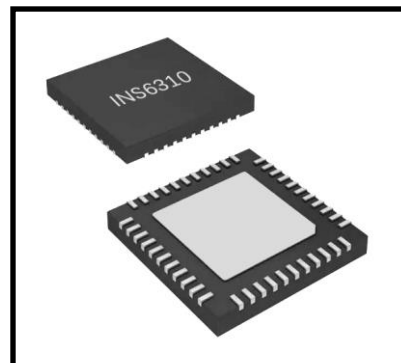


INS6310A —1: 10 超低抖动差分时钟缓冲器

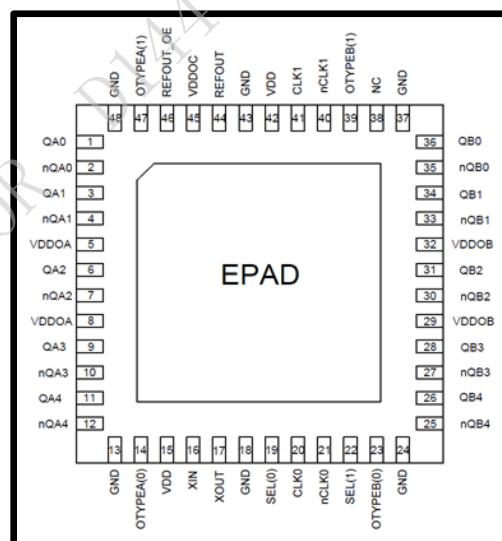
特性

- 支持 2 组 5 路差分输出：LVDS、LVPECL、HCSL 或高阻抗
- 支持 3 路时钟输入
 - 2 路差分或单端输入（DC~2500MHz），支持 LVPECL，LVDS，CML，SSTL，HSTL，HCSL 等电平
 - 1 路无源晶体输入（10M~40MHz）或者单端输入（DC~250MHz）
- 附加相位抖动：LVPECL 输出@ 122.88MHz
40fs RMS（10KHz 至 1MHz）；80fs RMS（12KHz 至 20MHz）
- 高电源纹波抑制（PSRR）：-65/-76dBc（LVPECL/LVDS）@156.25MHz
- 3 路独立的输出电源：2.5V/3.3V
- 内核供电电压：3.3V
- 温度范围：-40°C ~ +85°C
- 封装尺寸：QFN48（7.0mm x 7.0mm x 0.75mm）



应用

- 高速时钟分发
- 无线 BBU，RRU 和有线通信
- 服务器（PCIe）
- 高速存储接口，Fiber channel，SATA/SAS 等



描述

INS6310A 是一款多用途、低抖动、低功率差分时钟扇出缓冲器，此缓冲器可将 3 路输入时钟中的任意 1 路扇出到 10 路低抖动差分时钟输出和一路 LVCMOS 单端输出，同时可以灵活实现输入时钟和输出时钟的电平转换。输入时钟支持差分信号、单端信号和无源晶体输入。

修订记录表

| 版本 | 修改内容 | 起草 | 修正日期 |
|------|---|----|--------------|
| V1.0 | 发布 | | 2021. 11. 29 |
| V1.1 | 更新 V_{DDOX} 最大值: 3.465V 改为 3.45V 以管脚定义表格为准, 改正第一页及图 2 管脚分配图管脚定义错误, | | 2022. 06. 23 |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |

目录

| | | |
|---|------|----|
| 1 | 产品概述 | 4 |
| 2 | 原理框图 | 4 |
| 3 | 管脚定义 | 5 |
| 4 | 电气参数 | 6 |
| 5 | 功能描述 | 13 |
| 6 | 环境说明 | 18 |
| 7 | 封装尺寸 | 18 |

Confidential
FOR D144

1 产品概述

INS6310A 是一款低抖动、多路差分时钟输出的通用时钟扇出缓冲器。此缓冲器可支持 3 路输入时钟，并选择其中 1 路输入时钟实现 10 路低抖动差分时钟输出和一路单端参考输出；输入时钟支持差分、单端和无源晶体输入。

此缓冲器可输出 10 路低抖动、低偏斜、低传输时延的差分时钟信号，工作频率范围为 DC 到 2500MHz，输出信号电平支持 2.5V 和 3.3V，三路独立的输出电源 (V_{DDOA} , V_{DDOB} , V_{DDOC}) 可以灵活实现输入时钟和输出时钟的电平转换。INS6310A 适用于无线和有线通信、服务器，高速存储等应用领域的高速时钟分发。

INS6310A 采用方形扁平无引脚 QFN48 封装 (7.0mm x 7.0mm x 0.75mm)。

2 原理框图

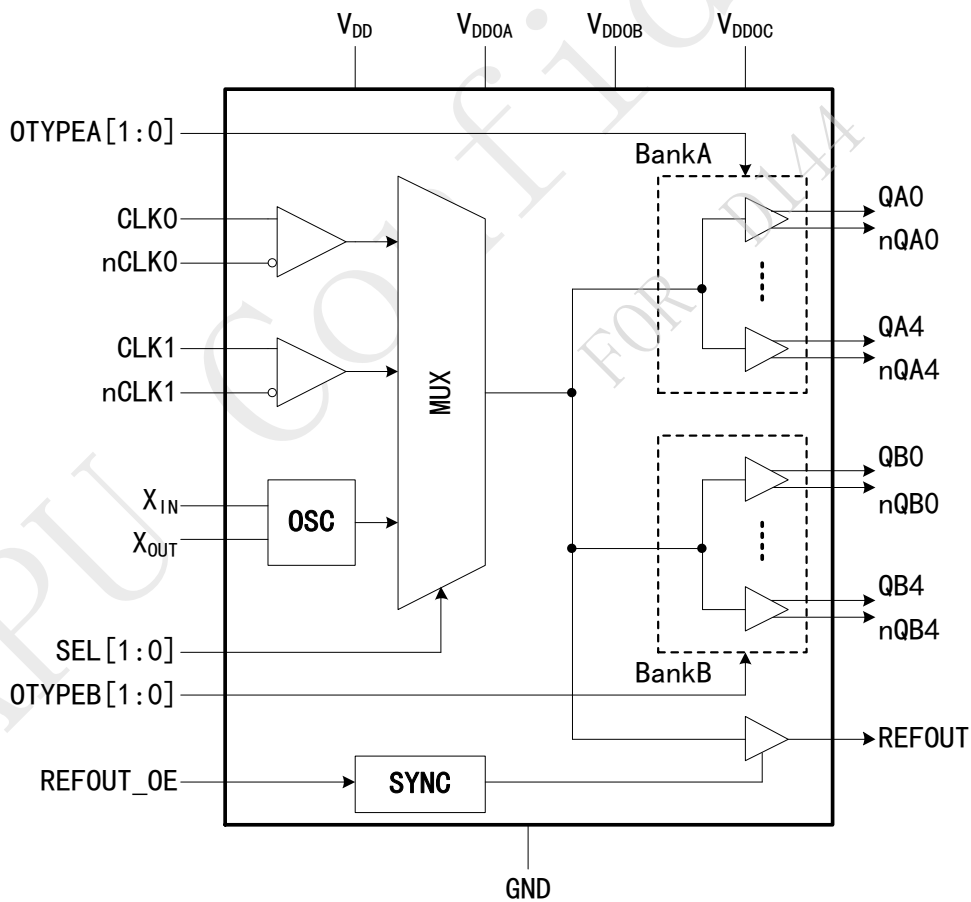


图1. 原理框图

3 管脚定义



图2. 管脚分布图

表1. 管脚定义

| 管脚号 | 管脚名称 | 类型 | 说明 |
|------------------------|------------------------|-----|--------------------------|
| 1, 2 | QA0, nQA0 | OUT | BankA 差分输出 0 |
| 3, 4 | QA1, nQA1 | OUT | BankA 差分输出 1 |
| 5, 8 | V _{DDOA} | PWR | BankA 输出时钟工作电源 |
| 6, 7 | QA2, nQA2 | OUT | BankA 差分输出 2 |
| 9, 10 | QA3, nQA3 | OUT | BankA 差分输出 3 |
| 11, 12 | QA4, nQA4 | OUT | BankA 差分输出 4 |
| 13, 18, 24, 37, 43, 48 | GND | GND | 地 |
| 14, 47 | OTYPEA[0] OTYPEA[1] | IN | 选择 BankA 输出差分类型, 内部下拉 |
| 15, 42 | V _{DD} | PWR | 内核工作电源 |
| 16 | X _{IN} | IN | 晶体输入。支持晶体、晶振和单端时钟输入。 |
| 17 | X _{OUT} | OUT | 晶体输出。如果晶体输入为单端信号, 该管脚浮空。 |
| 19, 22 | SEL[0] SEL[1] | IN | 输入时钟选择信号, 内部下拉 |
| 20, 21 | CLK0, nCLK0 | IN | 时钟输入 0(差分/单端)。 |
| 23, 39 | OTYPEB[0] OTYPEB[1] | IN | 选择 BankB 输出差分类型, 内部下拉 |
| 25, 26 | nQB4, QB4 | OUT | BankB 差分输出 4 |
| 27, 28 | nQB3, QB3 | OUT | BankB 差分输出 3 |
| 29, 32 | V _{DDOB} | PWR | BankB 输出时钟工作电源 |
| 30, 31 | nQB2, QB2 | OUT | BankB 差分输出 2 |
| 33, 34 | nQB1, QB1 | OUT | BankB 差分输出 1 |
| 35, 36 | nQB0, QB0 | OUT | BankB 差分输出 0 |
| 38 | NC | - | |
| 40, 41 | nCLK1, CLK1 | IN | 时钟输入 1(差分/单端)。 |

| 管脚号 | 管脚名称 | 类型 | 说明 |
|-----|-------------------|-----|--------------|
| 44 | REFOUT | OUT | LVC MOS 参考输出 |
| 45 | V _{DDOC} | PWR | 参考输出供电电源 |
| 46 | REFOUT_OE | IN | 参考输出使能。内部下拉 |
| | EPAD | | 热焊盘，必须接地。 |

- * IN: 输入信号
 OUT: 输出信号
 PWR: 电源
 GND: 地
 EPAD (Exposed thermal PAD): 热焊盘

4 电气参数

表2. 绝对参数

当芯片的工作条件超过下表中规定的最大绝对值时，可能导致芯片永久损坏；长时间在最大绝对值条件下工作，可能会影响芯片的寿命和可靠性。

| 参数 | 记号 | 数值 | 单位 | 备注 |
|--------|--|---------------------------|------|----|
| 供电电压 | V _{DD} V _{DDOA} V _{DDOB} V _{DDOC} | -0.3~3.6 | V | |
| 输入电压 | V _{IN} | -0.3~V _{DD} +0.3 | V | |
| 储存温度范围 | T _{STG} | -65~150 | °C | |
| 结温 | T _J | 150 | °C | |
| 热阻 | θ _{JA} | 28.5 | °C/W | |

表3. 额定参数

测试条件: $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 推荐芯片在下表标明的额定电气范围内工作。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|------|--------------------|-------|-----|-------|--------------------|--------------------------|
| | | 最小值 | 典型值 | 最大值 | | |
| 内核电压 | V_{DD} | 3.15 | 3.3 | 3.45 | V | |
| 输出电压 | $V_{DDOX}^{(1)}$ | 3.135 | 3.3 | 3.45 | V | |
| | | 2.375 | 2.5 | 2.625 | | |
| 内核电流 | I_{VDD_CORE} | | 24 | 31 | mA | 输入时钟 0/1, 输出全部关闭 |
| | | | 23 | 30 | mA | X_{IN} 输入, 输出全部关闭 |
| | I_{VDD_LVDS} | | 50 | 75 | mA | 每使能一个 LVDS Bank, 增加的电流 |
| | I_{VDD_LVPECL} | | 20 | 26 | mA | 每使能一个 LVPECL Bank, 增加的电流 |
| | I_{VDD_HCSL} | | 32 | 42 | mA | 每使能一个 HCSL Bank, 增加的电流 |
| | I_{VDD_LVCMOS} | | 4 | 5.2 | mA | 使能 LVCMOS 输出, 增加的电流 |
| 输出电流 | I_{VDDO_LVDS} | | 24 | 31 | mA | 每使能一个 LVDS Bank, 增加的电流 |
| | I_{VDDO_LVPECL} | | 230 | 299 | mA | 每使能一个 LVPECL Bank, 增加的电流 |
| | I_{VDDO_HCSL} | | 72 | 94 | mA | 每使能一个 HCSL Bank, 增加的电流 |
| | I_{VDDO_LVCMOS} | | 9 | 12 | mA | 使能 LVCMOS 输出, 增加的电流 |
| 环境温度 | T_A | -40 | | 85 | $^{\circ}\text{C}$ | |

* (1) 非特殊说明, 该手册中, DDOX 代表 DDOA/DDOB/DDOC

表4. 输入控制信号特性

测试条件: $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, $3.15\text{V} \leq V_{DD} \leq 3.45\text{V}$, $2.375\text{V} \leq V_{DDOX} \leq 2.625$ 或 $3.135\text{V} \leq V_{DDOX} \leq 3.45\text{V}$, 除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--|----------|-----|-----|----------|----|----|
| | | 最小值 | 典型值 | 最大值 | | |
| 控制信号特性 (OTYPEA[0:1], OTYPEB[0:1], SEL[0:1], REFOUT_OE) | | | | | | |
| 输入高电平电流 | I_{IH} | | | 50 | uA | |
| 输入低电平电流 | I_{IL} | -5 | 0.1 | 5 | uA | |
| 输入高电平电压 | V_{IH} | 1.6 | | V_{DD} | V | |
| 输入低电平电压 | V_{IL} | 0 | | 0.4 | V | |

表5. $CLK_x/nCLK_x$ (2) 输入特性

测试条件: $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, $3.15\text{V} \leq V_{DD} \leq 3.45\text{V}$, $2.375\text{V} \leq V_{DDOX} \leq 2.625$ 或 $3.135\text{V} \leq V_{DDOX} \leq 3.45\text{V}$, 输入为差分时钟, 除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|------------------------|----|-----|-----|-----|----|----|
| | | 最小值 | 典型值 | 最大值 | | |
| 单端输入特性 (CLK_x) (2) | | | | | | |

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|-------------------|-------------------|------|-----|--------------|-----|------------------|
| | | 最小值 | 典型值 | 最大值 | | |
| 输入高电平电压 | V_{IH} | | | V_{DD} | V | |
| 输入低电平电压 | V_{IL} | 0 | | | V | |
| 输入电压摆幅 | $V_{I_SE}^{(3)}$ | 0.3 | | 2 | V | 峰峰值 |
| 共模电压 | $V_{CM}^{(4)}$ | 0.25 | | $V_{DD}-1.2$ | V | |
| 差分输入特性 (CLK/nCLK) | | | | | | |
| 差分输入电压摆幅 | V_{ID} | 0.15 | | 1.3 | V | |
| 差分输入共模电压 | $V_{CMD}^{(5)}$ | 0.25 | | $V_{DD}-0.9$ | V | $V_{ID}=800mV$ |
| | | 0.25 | | $V_{DD}-1.1$ | V | $V_{ID}=350mV$ |
| | | 0.25 | | $V_{DD}-1.2$ | V | $V_{ID}=150mV$ |
| 差分输入高电平 | V_{IHD} | | | V_{DD} | V | |
| 差分输入低电平 | V_{ILD} | 0 | | | V | |
| 输入隔离度 | ISO_{IN} | | -65 | | dBc | $F_{IN}=1000MHz$ |
| | | | -71 | | dBc | $F_{IN}=500MHz$ |
| | | | -82 | | dBc | $F_{IN}=200MHz$ |
| | | | -84 | | dBc | $F_{IN}=100MHz$ |
| 输入频率 (CLK/nCLK) | | | | | | |
| 输入频率 | F_{IN} | 0 | | 2500 | MHz | |

* (2) CLKx/nCLKx 代表 CLK0/nCLK0 和 CLK1/nCLK1

(3) 当单端输入频率大于等于 100MHz，输入电压摆幅可以达到 3.3V；当单端输入频率小于 100MHz，输入电压摆幅最大为 2V；

(4) 当单端输入驱动 CLK 时，nCLK 交流耦合到地或者直流偏置在 V_{CM} 范围内；

(5) 当输入信号的共模电压超过 V_{CMD} 最大值时，必须采用交流耦合电路。

表6. XIN/XOUT 输入特性

测试条件： $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ ， $3.15V \leq V_{DD} \leq 3.45V$ ， $2.375V \leq V_{DDOX} \leq 2.625$ 或 $3.135V \leq V_{DDOX} \leq 3.45V$ ，输入为差分时钟；除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--------|----------------|-----|-----|-----|-----|----|
| | | 最小值 | 典型值 | 最大值 | | |
| 无源晶体 | | | | | | |
| 晶体类型 | | | 基频 | | | |
| 晶体频率范围 | $F_{XIN/XOUT}$ | 10 | | 40 | MHz | |

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--------|------------------|-----|-----|-----|----------|------------------------------|
| | | 最小值 | 典型值 | 最大值 | | |
| 等效串联电阻 | ESR | | | 200 | Ω | 10MHz<FXIN \leq 30MHz |
| | | | | 125 | Ω | 30MHz<FXIN<40MHz |
| 晶体等效电容 | C _{X0} | | 4 | | pF | |
| 单端输入特性 | | | | | | |
| 输入频率 | F _{XIN} | DC | | 250 | MHz | 单端时钟输入 驱动 XIN, XOUT 浮空 |

表7. LVDS 输出特性⁽⁶⁾

测试条件: $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, $3.15\text{V} \leq V_{DD} \leq 3.45\text{V}$, $2.375\text{V} \leq V_{DDOX} \leq 2.625$ 或 $3.135\text{V} \leq V_{DDOX} \leq 3.45\text{V}$, 输入为差分时钟; 除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--------------------|--|-------|------|-------|-----|--|
| | | 最小值 | 典型值 | 最大值 | | |
| QAn/nQAn, QBn/nQBn | | | | | | |
| 最大输出频率 | F _{OUT-MAX} | 1000 | 1600 | | MHz | VOD 全摆幅 VOD>250mV |
| | | 1500 | 2100 | | MHz | VOD 半摆幅 VOD>200mV |
| 输出电压摆幅 | V _{OD} | 250 | 400 | 450 | mV | 100 Ω 差分负载 |
| 双相输出摆幅波动 | ΔV_{OD} | -50 | | 50 | mV | |
| 输出偏置电压 | V _{OFFSET} | 1.125 | 1.25 | 1.375 | V | |
| 双相输出偏置波动 | ΔV_{OFFSET} | -35 | | 35 | mV | |
| 占空比 | Duty Cycle | 45 | 50 | 55 | % | |
| 上升/下降时间 | t _{Rise} / t _{Fall} | | 175 | 300 | ps | 特征阻抗 50 欧姆传输线 10 英寸以内, RL=100 欧, CL<5pF |
| 输出时延 | t _{Delay} | 200 | 400 | 600 | ps | |
| 输出偏斜 | t _{Skew} | | 30 | 50 | ps | |
| 芯片与芯片 之间偏斜 | t _{PDP} | | 80 | 120 | ps | |
| 随机附加抖动 | t _J | | 132 | | fs | FIN=100MHz 输入偏斜率 \geq 3V/ns 1MHz to 20MHz |
| | | | 103 | | fs | FIN=156.25MHz 输入偏斜率 \geq 3V/ns 1MHz to 20MHz |
| | | | 33 | | fs | FIN=625MHz 输入偏斜率 \geq 3V/ns 1MHz to 20MHz |
| | | | 138 | | fs | FIN=100MHz |

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--|----|-----|------------|-----|------------|---|
| | | 最小值 | 典型值 | 最大值 | | |
| | | | | | | 输入偏斜率 $\geq 3V/ns$ 10kHz to 20MHz |
| | | | 99 | | fs | FIN=156.25MHz 输入偏斜率 $\geq 3V/ns$ 10kHz to 20MHz |
| 底噪 Noise Floor $f_{OFFSET} \geq 10MHz$ | NF | | - 159.5 | | dBc/H z | FIN=100MHz 输入偏斜率 $\geq 3V/ns$ |
| | | | -157 | | dBc/H z | FIN=156.25MHz 输入偏斜率 $\geq 3V/ns$ |
| | | | - 152.5 | | dBc/H z | FIN=625MHz 输入偏斜率 $\geq 3V/ns$ |

表8. LVPECL 输出特性

测试条件: $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, $3.15V \leq V_{DD} \leq 3.45V$, $2.375V \leq V_{DDOX} \leq 2.625$ 或 $3.135V \leq V_{DDOX} \leq 3.45V$, 输入为差分时钟; 除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--------------------|---------------|----------------|-----------------|----------------|-----|--|
| | | 最小值 | 典型值 | 最大值 | | |
| QAn/nQAn, QBn/nQBn | | | | | | |
| 最大输出频率 | $F_{OUT-MAX}$ | 1000 | 1200 | | MHz | VOD>600mV, RL=100欧, VDDOX=3.3V, RT=160 欧到地 |
| | | 750 | 1000 | | MHz | VOD>600mV, RL=100欧, VDDOX=2.5V, RT=91 欧到地 |
| | | 1500 | 2200 | | MHz | VOD>400mV, RL=100欧, VDDOX=3.3V, RT=160 欧到地 |
| | | 1500 | 2200 | | MHz | VOD>400mV, RL=100欧, VDDOX=2.5V, RT=91 欧到地 |
| 输出电压摆幅 | V_{OD} | 600 | 830 | 1000 | mV | TA=25°C, RT=50欧上拉至 VDD0-2V |
| 输出高电平 | V_{OH} | $V_{DDOX}-1.2$ | $V_{DDOX}-0.9$ | $V_{DDOX}-0.7$ | V | |
| 输出低电平 | V_{OL} | $V_{DDOX}-2.0$ | $V_{DDOX}-1.75$ | $V_{DDOX}-1.5$ | V | |
| 占空比 | Duty Cycle | 45 | 50 | 55 | % | |
| 上升 | t_{Rise} | | 250 | 350 | ps | RT=160 至地, 10英寸以内传输线, 特征阻抗 50 欧, RL=100 欧, CL \leq 5pF |
| 下降时间 | t_{Fall} | | 180 | 300 | ps | |
| 输出时延 | t_{Delay} | 180 | 360 | 540 | ps | RT=160 欧至地, RL=50 欧, CL \leq 5pF |
| 输出偏斜 | t_{Skew} | | 30 | 50 | ps | |

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--|-----------|-----|------|-----|------------|--|
| | | 最小值 | 典型值 | 最大值 | | |
| 芯片与芯片之间偏斜 | t_{PDP} | | 80 | 120 | ps | |
| 随机附加抖动 | t_j | | 55 | | fs | FIN=100MHz 输入偏斜率 \geq 3V/ns 1MHz to 20MHz |
| | | | 35 | | fs | FIN=156.25MHz 输入偏斜率 \geq 3V/ns 1MHz to 20MHz |
| | | | 25 | | fs | FIN=625MHz 输入偏斜率 \geq 3V/ns 1MHz to 20MHz |
| | | | 60 | 98 | fs | FIN=100MHz 输入偏斜率 \geq 3V/ns 10kHz to 20MHz |
| | | | 30 | 78 | fs | FIN=156.25MHz 输入偏斜率 \geq 3V/ns 10kHz to 20MHz |
| 底噪 Noise Floor $f_{OFFSET} \geq 10MHz$ | NF | | -161 | | dBc/H z | FIN=100MHz 输入偏斜率 \geq 3V/ns |
| | | | -159 | | dBc/H z | FIN=156.25MHz 输入偏斜率 \geq 3V/ns |
| | | | -154 | | dBc/H z | FIN=625MHz 输入偏斜率 \geq 3V/ns |

表9. HCSL 输出特性

测试条件: $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, $3.15V \leq V_{DD} \leq 3.45V$, $2.375V \leq V_{DDOX} \leq 2.625$ 或 $3.135V \leq V_{DDOX} \leq 3.45V$, 输入为差分时钟; 除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--------------------|--------------------|------|-----|-----|-----|----|
| | | 最小值 | 典型值 | 最大值 | | |
| QAn/nQAn, QBn/nQBn | | | | | | |
| 最大频率 | F_{OUT} | 0 | | 400 | MHz | |
| 穿越电压绝对数值 | V_{CROSS} | 160 | 350 | 460 | mV | |
| 穿越电压波动 | ΔV_{CROSS} | | | 140 | mV | |
| 输出高电平 | V_{OH} | 520 | 750 | 920 | mV | |
| 输出低电平 | V_{OL} | -150 | 0.5 | 150 | mV | |

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--|---------------------|-----|------|------|--------|--|
| | | 最小值 | 典型值 | 最大值 | | |
| 占空比 | Duty Cycle | 45 | 50 | 55 | % | |
| 上升/下降时间 | t_{Rise}/t_{Fall} | | 300 | 500 | ps | |
| 输出时延 | t_{Delay} | 295 | 590 | 885 | ps | RT=50 欧至地, CL≤5pF |
| 输出偏斜 | t_{Skew} | | 30 | 50 | ps | |
| 芯片与芯片之间偏斜 | t_{PDP} | | 80 | 120 | ps | |
| 随机附加抖动 | t_{J_PCIe} | | 0.03 | 0.15 | ps | PCIe Gen 3, 2~5MHz CDR=10MHz FIN=100MHz 输入偏斜率≥0.6V/ns |
| | | | 0.03 | 0.05 | ps | PCIe Gen 4, 2~5MHz CDR=10MHz FIN=100MHz 输入偏斜率≥1.8V/ns |
| | t_J | | 77 | | fs | FIN=100MHz 输入偏斜率≥3V/ns 1MHz to 20MHz |
| | | | 86 | | fs | FIN=156.25MHz 输入偏斜率≥3V/ns 10kHz to 20MHz |
| 底噪 Noise Floor $f_{OFFSET} \geq 10MHz$ | NF | | -161 | | dBc/Hz | FIN=100MHz 输入偏斜率≥3V/ns |
| | | | -156 | | dBc/Hz | FIN=156.25MHz 输入偏斜率≥3V/ns |

表10. VCMOS 输出特性

测试条件: $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, $3.15V \leq V_{DD} \leq 3.45V$, $2.375V \leq V_{DDOX} \leq 2.625$ 或 $3.135V \leq V_{DDOX} \leq 3.45V$, 输入为差分时钟; 除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|---------|-----------|----------------|-----|-----|-----|-----------------|
| | | 最小值 | 典型值 | 最大值 | | |
| 输出高电平 | V_{OH} | $V_{DDOX}-0.1$ | | | V | 1mA 负载 |
| 输出低电平 | V_{OL} | | | 0.1 | V | |
| 输出高电平电流 | I_{OH} | | 28 | | mA | $V_{DDOX}=3.3V$ |
| | | | 20 | | mA | $V_{DDOX}=2.5V$ |
| 输出低电平电流 | I_{OL} | | 28 | | mA | $V_{DDOX}=3.3V$ |
| | | | 20 | | mA | $V_{DDOX}=2.5V$ |
| 输出频率 | F_{OUT} | 0 | | 300 | MHz | |

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|----------------|----------------------------|------|------|------|-------|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 占空比 | Duty Cycle | 45 | 50 | 55 | % | |
| 上升/下降时间 | t_{Rise} / t_{Fall} | | 225 | 400 | ps | |
| 输出时延 | t_{Delay} | 900 | 1475 | 2300 | ps | VDDOX=3.3V |
| | | 1000 | 1550 | 2700 | ps | VDDOX=2.5V |
| 随机附加抖动 | t_j | | 132 | | fs | FOUT=100MHz 输入偏斜率 \geq 3V/ns 1MHz to 20MHz |
| 输出使能/ 去使能时间 | t_{EN}/t_{DIS} | | | 3 | Cycle | |

5 功能描述

5.1 控制信号

INS6310A 有三组控制信号，分别控制输入时钟的选择、输出时钟类型和输出参考的使能。

输入时钟选择信号 (SEL0, SEL1)：根据选择信号的高低电平，选择需要扇出的输入时钟，具体参考表 11。

表11. 输入时钟选择表

| SEL[1] | SEL[0] | 扇出的输入时钟 |
|--------|--------|------------------|
| 0 | 0 | CLK0/nCLK0 |
| 0 | 1 | CLK1/nCLK1 |
| 1 | x | X_{IN}/X_{OUT} |

输出时钟类型信号 (OTYPEA[1], OTYPEA[0], OTYPEB[1], OTYPEB[0],)：根据信号的高低电平，选择对应 Bank 输出差分信号的类型，具体参考表 12。

表12. 输出时钟类型选择表

| OTYPE _x [1] | OTYPE _x [0] | 输出的差分时钟类型 |
|------------------------|------------------------|-----------|
| 0 | 0 | LVPECL |
| 0 | 1 | LVDS |
| 1 | 0 | HCSL |
| 1 | 1 | 高阻 |

参考输出使能信号 (REFOUT_OE)：根据信号的高低电平，使能参考输出信号，具体参考表 13。

表13. 输出时钟类型选择表

| REFOUT_OE | 参考输出状态 |
|-----------|--------|
| 0 | 高阻 |
| 1 | 使能输出 |

5.2 输入时钟

CLK/nCLK 差分输入: 该芯片差分输入的共模电压和摆幅电压较宽, CLK/nCLK 支持多种差分时钟输入 (LVPECL, LVDS, CML, SSTL, HSTL, HCSL 等)。通过交流耦合或直流耦合将输入信号进行转换, 来满足规格书定义的电气参数。建议输入时钟信号沿斜率大于 3V/ns, 低的时钟沿斜率会恶化抖动指标, 基于此尽可能选用差分时钟输入, 这样可以与更快的时钟沿, 并抑制共模干扰。

CLK/nCLK 单端输入: CLK/nCLK 也支持单端 LVC MOS 输入, 通过耦合匹配电路将输入信号进行转换, 满足规格书定义的电气参数。可以参考图 3 和图 4 推荐的匹配电路。

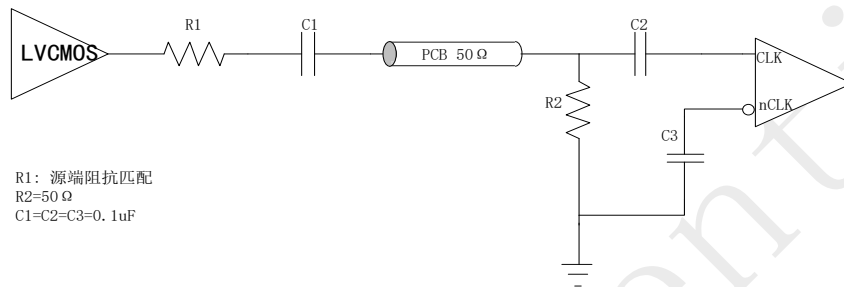


图3. LVC MOS 单端时钟驱动 CLK/nCLK 交流耦合

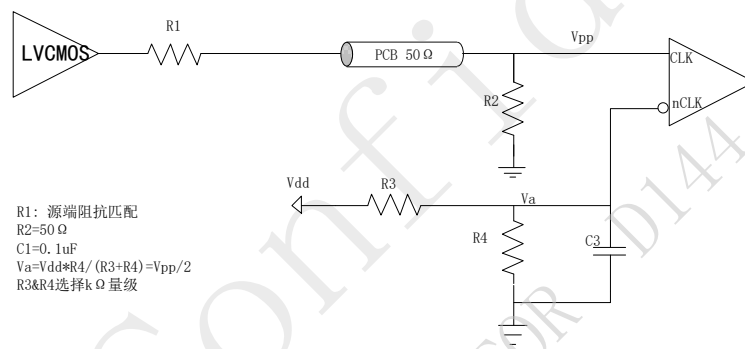


图4. LVC MOS 单端时钟驱动 CLK/nCLK 直流耦合

X_{IN}/X_{OUT}: 支持外部无源晶体或者单端时钟输入。当 SEL[1]为低电平时, X_{IN}/X_{OUT} 可以浮空。当 SEL[1]为高电平选择 X_{in} 为输入时, X_{IN} 不允许开路。

XIN 脚可以 AC 耦合的方式接入 LVC MOS 单端时钟信号, 芯片内部产生偏置电压, XOUT 悬空。建议单端输入使用 CLKX 输入脚, 以便得到更好的输出性能。

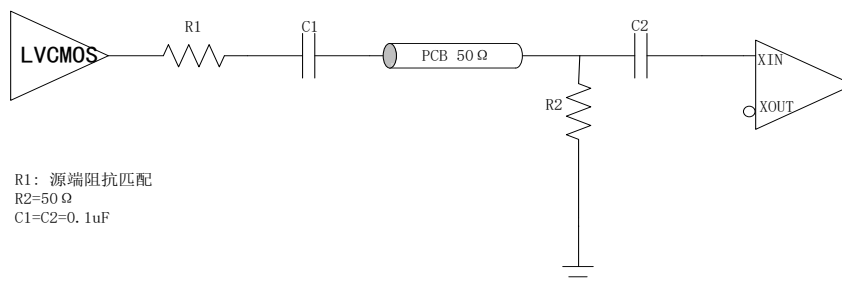


图5. XIN 接入单端 LVC MOS 输入

外部无源晶振匹配电路参考图 6，根据实际应用中的无源晶体的负载容抗 C_L ，选择对应的 C_1 和 C_2 ， R_{Limit} 用来限制晶体的电流（可选），根据所选晶体要去的驱动功率决定具体取值，建议开始使用 1.5K 欧，如果晶体所需驱动功率更大则降低阻值。



图6. XIN/XOUT 匹配电路

5.3 输出时钟

INS6310A 提供两组独立供电的输出时钟 Bank（见表 9），两组 Bank 可以根据 V_{DDOA} 和 V_{DDOB} 的供电电压分别输出两组不同电平的信号。输出电平支持 2.5V 和 3.3V，可以灵活实现输入时钟和输出时钟的电平转换。

表14. 输出时钟 Bank

| Bank | 输出时钟 |
|--------|-------------------------|
| BankA | QA0, QA1, QA2, QA3, QA4 |
| BankB | QB0, QB1, QB2, QB3, QB4 |
| REFOUT | REFOUT |

输出时钟的状态请见表 15。

表15. 输出时钟状态

| SEL[1] | 输入时钟 | 输出时钟 |
|--------|----------------------|------|
| 低电平 | CLKx=开路 nCLKx=开路 | 低电平 |
| | CLK=高电平 nCLK=低电平 | 高电平 |
| | CLK=低电平 nCLK=高电平 | 低电平 |
| | CLK 和 nCLK 短路 | 低电平 |
| 高电平 | X _{IN} =高电平 | 低电平 |
| | X _{IN} =低电平 | 高电平 |

注意

- 不使用的时钟输出，建议悬空，并引出短线至 Sold mask 盘外以优化焊接性能，同时尽量缩短引线，以减小功耗。

5.3.1 输出时钟端接

根据所配置的输出电平类型，正确选择相应的端接方式，同时考虑接收端的要求决定正确的端接和耦合方式，确保满足其 DC 偏置的要求。

LVDS 驱动端接



图7. LVDS DC&AC 耦合端接

LVPECL 驱动 DC 耦合端接

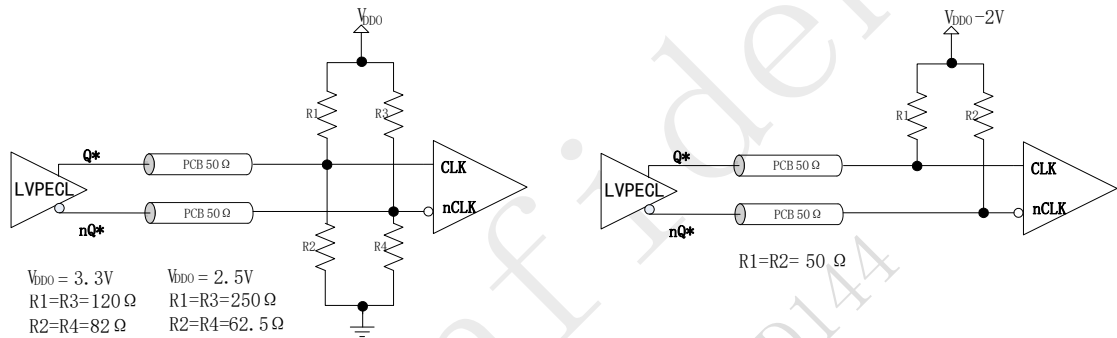


图8. LVPECL DC 耦合端接

LVPECL 驱动 AC 耦合端接

通常 LVPECL 接收端要求的 DC 偏置为 2.0V，注意图 9 的端接电阻与图 8 中的电阻的差异。

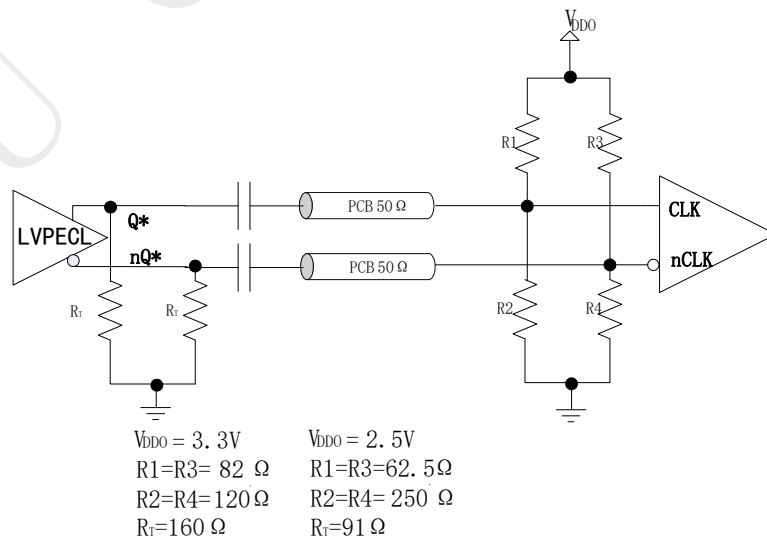


图9. LVPECL AC 耦合端接

HCSL 驱动端接

对于 HCSL 驱动需要在靠近驱动端有 50 欧姆下拉电阻端接，由于瞬态驱动电流大，RS 串阻可以减小过冲。由于 HCSL 需要连接地平面的直流通路，在驱动端和 50 欧姆下拉端接之间不允许 AC 耦合。

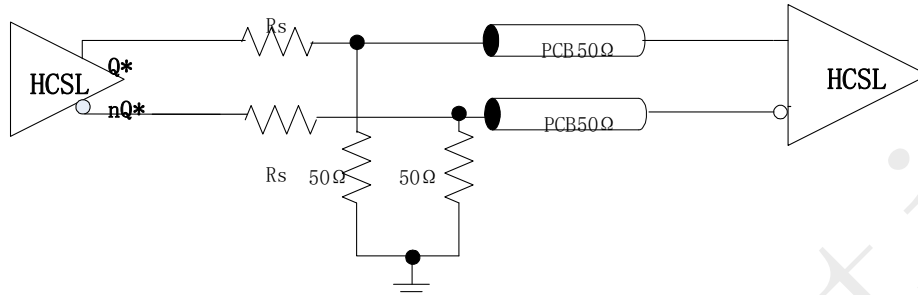


图10. HCSL Operation, DC Coupling

5.4 工作电源

INS6310A 输出信号采用三路独立电源供电，芯片功耗较低，可以满足客户不同的时钟电平转换需求。

V_{DD} 为 INS6310A 的核工作电压，支持 3.3V 供电。

V_{DD0A} 、 V_{DD0B} 和 V_{DD0C} 分别为 INS6310A 的输出时钟 BankA、BankB 和参考输出的工作电压，支持 2.5V 和 3.3V 供电。

注意

- V_{DD0} 电压必须低于 V_{DD}
- 尽量靠近每个电源管脚放置 0.1uF 或 0.01uF 的 bypass 电容
- 靠近器件放置若干 0.1uF 至 10uF 的去耦电容

6 环境说明

表16. 环境说明

| 属性 | 值 | 单位 | 备注 |
|------|--------|----|---|
| 静电等级 | ±2000V | V | HBM, 参照 ANSI/ESDA/JEDEC JS-001 |
| | ±800V | V | CDM, 参照 JEDEC specification JESD22-C101 |

* HBM: Human body model

CDM: Charged-device model

7 封装尺寸

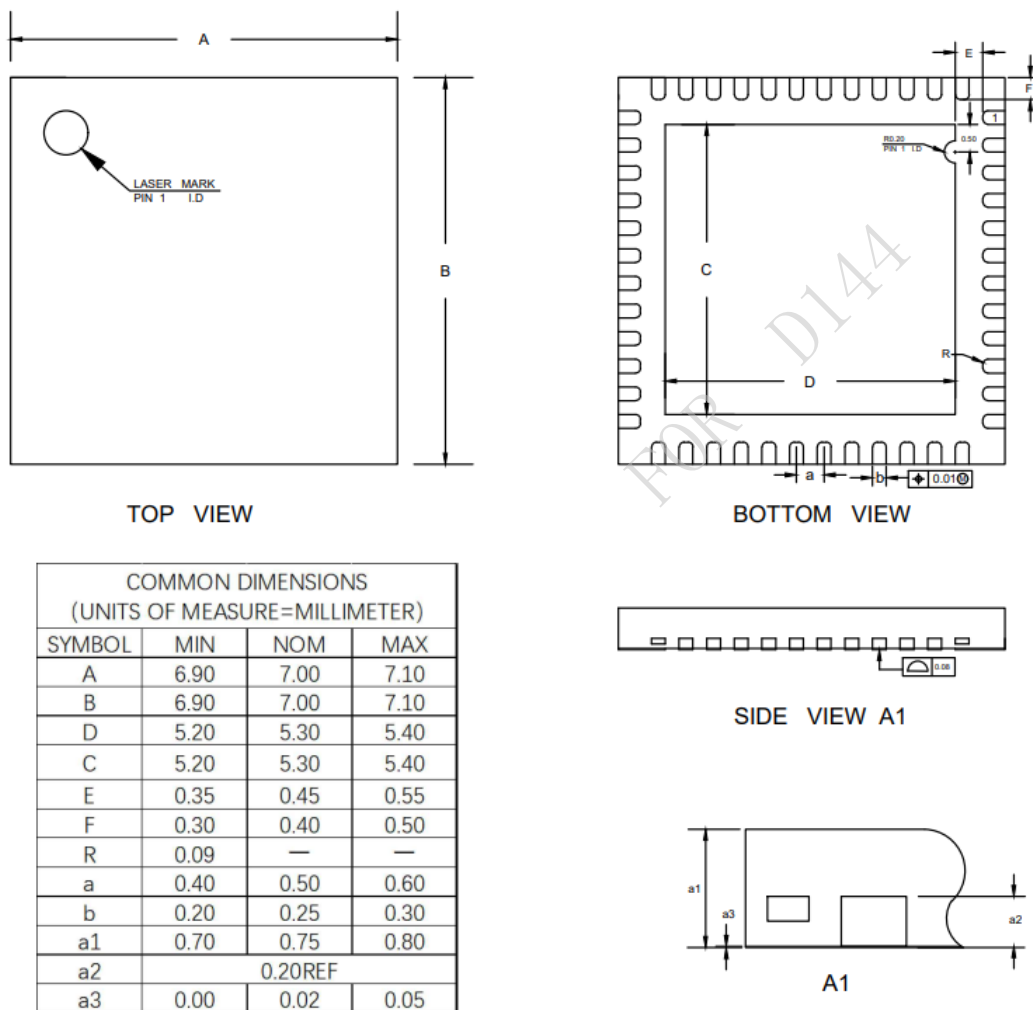


图11. 封装尺寸图 (QFN48)