

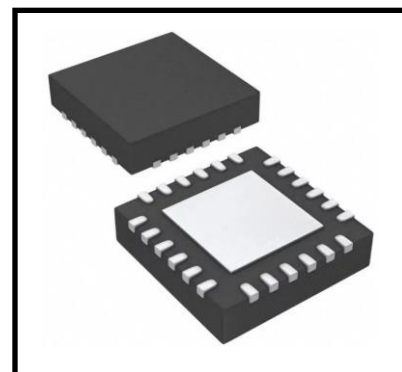


INS6110

—1: 10 低抖动时钟缓冲器

特性

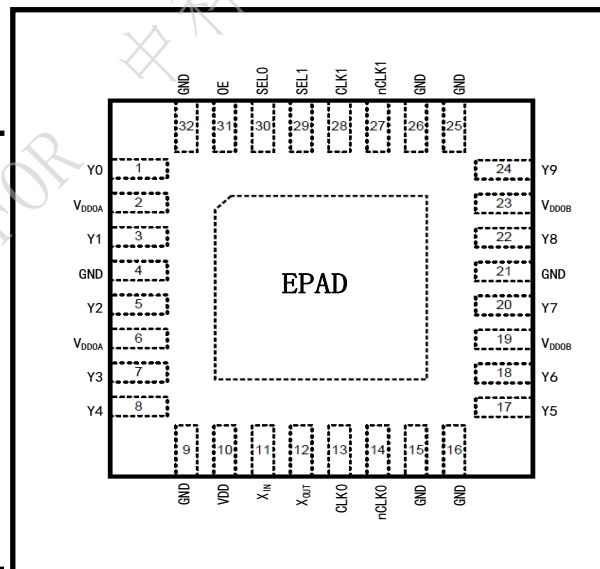
- 支持 10 路 LVCMOS 输出 (DC~200MHz)
- 支持 3 路时钟输入
 - 2 路差分或单端输入 (DC~200MHz)
 - 1 路无源晶体输入 (8~50MHz) 或者单端输入 (DC~50MHz)
- 附加相位抖动: 50fs RMS(典型值)@25MHz (12KHz~20MHz)
- 输出可选电压: 1.5V, 1.8V, 2.5V 和 3.3V
- 内核供电电压: 2.5V 或 3.3V
- 温度范围: -40°C~+85°C
- 封装尺寸: QFN32 (5.0mm x 5.0mm x 0.75mm)
- 符合 RoHS 标准



应用

- 高速时钟分发
- 无线和有线通信
- 医疗成像
- 测试和测量

描述



INS6110 是一款多用途、低抖动、低功率时钟扇出缓冲器，此缓冲器可将 3 路输入时钟中的 1 路扇出到 10 路低抖动 LVCOMS 时钟输出，同时可以灵活实现输入时钟和输出时钟的电平转换。输入时钟支持差分信号、单端信号和无源晶体输入。



修订记录表

| 版本 | 修改内容 | 起草 | 修正日期 |
|------|---------------|----|------------|
| V1.0 | 发布 | | 2020.05.25 |
| V1.1 | 修改器件高度和热焊盘的尺寸 | | 2021.10.29 |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |



目录

| | | |
|---|-----------|----|
| 1 | 产品概述..... | 4 |
| 2 | 原理框图..... | 4 |
| 3 | 管脚定义..... | 5 |
| 4 | 电气参数..... | 6 |
| 5 | 功能描述..... | 10 |
| 6 | 环境说明..... | 14 |
| 7 | 封装尺寸..... | 15 |

DAPU Confidential FOR 中科芯



1 产品概述

INS6110 是一款低抖动、多路时钟输出的通用时钟扇出缓冲器。此缓冲器可支持 2 路输入时钟，并选择其中 1 路输入时钟实现 10 路低抖动 LVCMOS 时钟输出；输入时钟支持差分、单端和无源晶体输入。

基于先进的 CMOS 技术和工艺，此缓冲器可输出 10 路低抖动、低偏斜、低传输时延的 LVCMOS 时钟信号，工作频率范围为 DC 到 200MHz，输出信号电平支持 1.5V，1.8V，2.5V 和 3.3V，可以灵活实现输入时钟和输出时钟的电平转换。INS6110 适用于无线和有线通信、医疗成像、测试和测量等应用领域。

INS6110 采用方形扁平无引脚 QFN32 封装 (5.0mm x 5.0mm x 0.75mm)。

2 原理框图

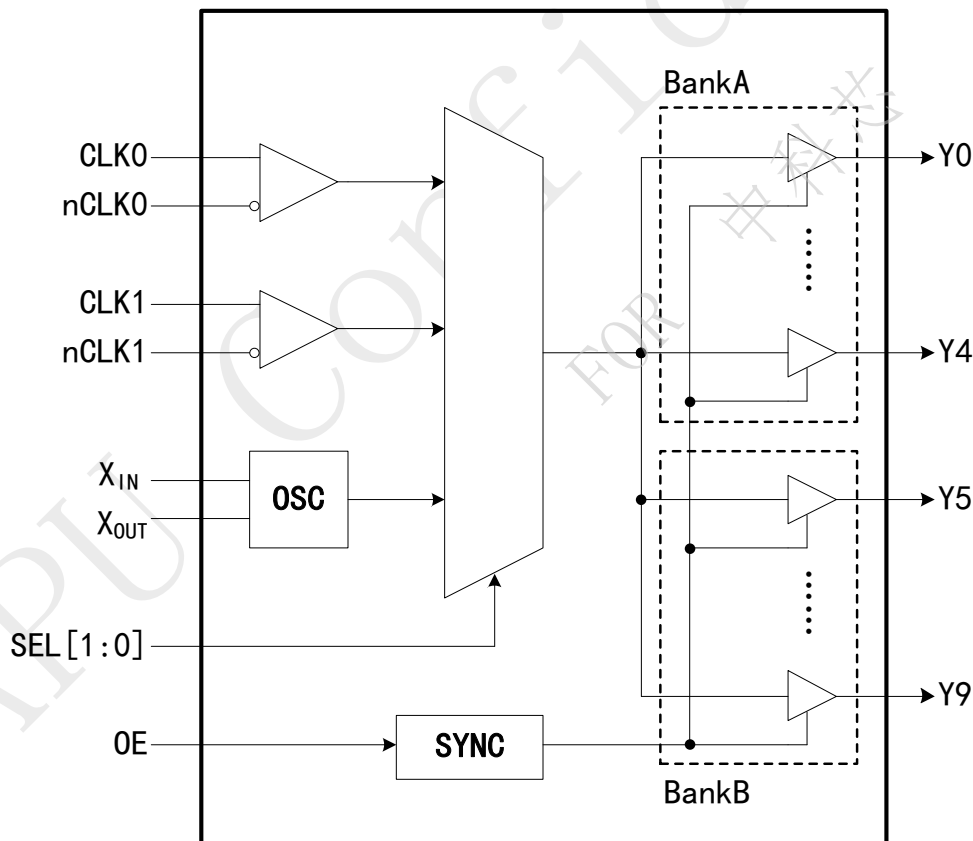


图 1 原理框图



3 管脚定义

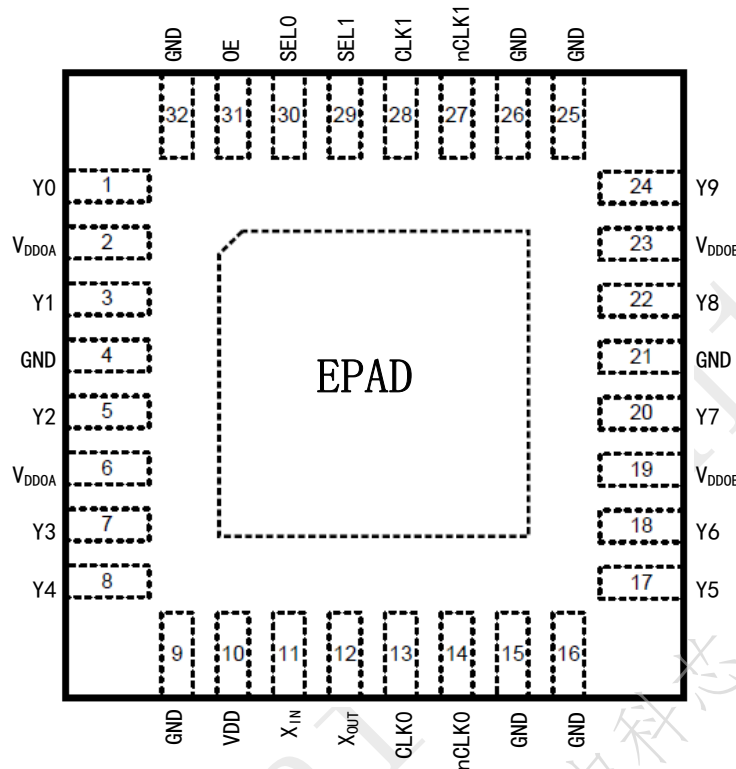


图 2 管脚分布图

表 1 管脚定义

| 管脚号 | 管脚名称 | 类型 | 说明 |
|------------------------------|-------------------|-----|----------------|
| 1 | Y0 | OUT | LVC MOS 时钟输出 0 |
| 2, 6 | V _{DDOA} | PWR | BankA 输出时钟工作电压 |
| 3 | Y1 | OUT | LVC MOS 时钟输出 1 |
| 4, 9, 15, 16, 21, 25, 26, 32 | GND | GND | 地 |
| 5 | Y2 | OUT | LVC MOS 时钟输出 2 |
| 7 | Y3 | OUT | LVC MOS 时钟输出 3 |
| 8 | Y4 | OUT | LVC MOS 时钟输出 4 |
| 10 | V _{DD} | PWR | 内核电压 |
| 11 | X _{IN} | IN | 晶体输入 |
| 12 | X _{OUT} | OUT | 晶体输出 |
| 13 | CLK0 | IN | 时钟输入 0 |
| 14 | nCLK0 | IN | 反向时钟输入 0 |
| 17 | Y5 | OUT | LVC MOS 时钟输出 5 |
| 18 | Y6 | OUT | LVC MOS 时钟输出 6 |



| | | | |
|--------|-------------------|-----|---|
| 19, 23 | V _{DDOB} | PWR | BankB 输出时钟工作电压 |
| 20 | Y7 | OUT | LVC MOS 时钟输出 7 |
| 22 | Y8 | OUT | LVC MOS 时钟输出 8 |
| 24 | Y9 | OUT | LVC MOS 时钟输出 9 |
| 27 | nCLK1 | IN | 反向时钟输入 1 |
| 28 | CLK1 | IN | 时钟输入 1 |
| 29 | SEL1 | IN | 输入时钟选择信号 1, 内部下拉 |
| 30 | SELO | IN | 输入时钟选择信号 0, 内部下拉 |
| 31 | OE | IN | 输出使能, 内部下拉 0: 去使能时钟输出, 输出信号高阻 1: 使能时钟输出 |
| | EPAD | | 热焊盘, 必须接地。 |

- * IN: 输入信号
- OUT: 输出信号
- PWR: 电源
- GND: 地
- EPAD (Exposed thermal PAD): 热焊盘

4 电气参数

表 2 绝对参数

当芯片的工作条件超过下表中规定的最大绝对值时, 可能导致芯片永久损坏; 长时间在最大绝对值条件下工作, 可能会影响芯片的寿命和可靠性。

| 参数 | 记号 | 数值 | 单位 | 备注 |
|--------|---|--|------|----|
| 供电电压 | V _{DD} V _{DDOA} V _{DDOB} | -0.5~4.6 | V | |
| 输入电压 | V _{IN} | -0.5~V _{DD} +0.5 | V | |
| 输出电压 | V _{OUT} | -0.5~V _{DDOA} /V _{DDOB} +0.5 | V | |
| 储存温度范围 | T _{STG} | -65~150 | °C | |
| 结温 | T _J | 125 | °C | |
| 热阻 | θ _{JA} | 50 | °C/W | |

表 3 额定参数

测试条件: -40°C ≤ T_A ≤ 85°C, 推荐芯片在下表标明的额定电气范围内工作。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|------|-----------------|-------|-----|-------|----|----|
| | | 最小值 | 典型值 | 最大值 | | |
| 内核电压 | V _{DD} | 3.135 | 3.3 | 3.465 | V | |
| | | 2.375 | 2.5 | 2.625 | | |



| | | | | | | |
|----------|------------------|-------|-----|-------|-------------|-------------------------------|
| 输出电压 | $V_{DDOX}^{(1)}$ | 3.135 | 3.3 | 3.465 | V | |
| | | 2.375 | 2.5 | 2.625 | | |
| | | 1.6 | 1.8 | 2 | | |
| | | 1.35 | 1.5 | 1.65 | | |
| 内核电流 | I_{VDD} | | 14 | | mA | 静态电流, $V_{DD}/V_{DDOX}=3.3V$ |
| | | | 8 | | mA | 静态电流, $V_{DD}/V_{DDOX}=2.5V$ |
| | | | 20 | | mA | 无源晶体输入 |
| 每路输出功耗电容 | $C_{PD}^{(1)}$ | | 9 | | pF | $V_{DDOX}=3.3V$, 输出时钟 100MHz |
| | | | 8.5 | | pF | $V_{DDOX}=2.5V$, 输出时钟 100MHz |
| | | | 8 | | pF | $V_{DDOX}=1.8V$, 输出时钟 100MHz |
| | | | 7.5 | | pF | $V_{DDOX}=1.5V$, 输出时钟 100MHz |
| 环境温度 | T_A | -40 | | 85 | $^{\circ}C$ | |

* (1) 非特殊说明, 该手册中, DDOX 代表 DDOA/DDOB

表 4 输入控制信号特性

测试条件: $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, $2.375V \leq V_{DD} \leq 3.465V$, $1.35V \leq V_{DDOX} \leq V_{DD}$, 测试频率为 100MHz; 除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|-------------------------|----------|----------------|-----|----------------|----|----|
| | | 最小值 | 典型值 | 最大值 | | |
| 控制信号特性 (OE, SEL0, SEL1) | | | | | | |
| 输入高电平电流 | I_{IH} | | | 40 | uA | |
| 输入低电平电流 | I_{IL} | -40 | | | uA | |
| 输入高电平电压 | V_{IH} | $0.7 * V_{DD}$ | | | V | |
| 输入低电平电压 | V_{IL} | | | $0.3 * V_{DD}$ | V | |

表 5 CLKx/nCLKx⁽²⁾输入特性

测试条件: $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, $2.375V \leq V_{DD} \leq 3.465V$, $1.35V \leq V_{DDOX} \leq V_{DD}$, 测试频率为 100MHz; 除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--------------------------------|----------|----------------|-----|--------------|----|------------------|
| | | 最小值 | 典型值 | 最大值 | | |
| CLKx/nCLKx 直流特性 | | | | | | |
| 输入高电平电流 | I_{IH} | | | 40 | uA | $V_{CLK}=V_{DD}$ |
| 输入低电平电流 | I_{IL} | -40 | | | uA | $V_{CLK}=0V$ |
| 单端输入直流特性 (CLKx) ⁽³⁾ | | | | | | |
| 输入高电平电压 | V_{IH} | $0.7 * V_{DD}$ | | $V_{DD}+0.3$ | V | |



| | | | | | | |
|---------------------|----------------|------|----|--------------------|-----|--|
| 输入低电平电压 | V_{IL} | -0.3 | | $0.3 \cdot V_{DD}$ | V | |
| 差分输入直流特性 (CLK/nCLK) | | | | | | |
| 差分输入电压摆幅 | V_{ID} | 0.15 | | 1.3 | V | |
| 差分输入共模电压 | $V_{CM}^{(4)}$ | 0.5 | | $V_{DD}-0.85$ | V | |
| 交流特性 (CLK/nCLK) | | | | | | |
| 输入频率 | F_{IN} | 0 | | 200 | MHz | |
| 输入占空比 | Duty Cycle | 40 | 50 | 60 | % | |

* (2) CLKx/nCLKx 代表 CLK0/nCLK0 和 CLK1/nCLK1

(3) 当单端输入驱动 CLK 时, nCLK 交流耦合到地或者直流偏置在 V_{CM} 范围内。

(4) 当输入信号的共模电压超过 V_{CM} 最大值时, 必须采用交流耦合电路。

表 6 X_{IN}/X_{OUT} 输入特性

测试条件: $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, $2.375\text{V} \leq V_{DD} \leq 3.465\text{V}$, $1.35\text{V} \leq V_{DDOX} \leq V_{DD}$; 除特殊说明。

| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|--------------------|----------------|--------------------|-----|--------------------|---------------|----------------------------------|
| | | 最小值 | 典型值 | 最大值 | | |
| 无源晶体 | | | | | | |
| 晶体类型 | | | 基频 | | | |
| 晶体频率范围 | $F_{XIN/XOUT}$ | 8 | | 50 | MHz | |
| 等效串联电阻 | ESR | | 50 | | Ω | |
| 晶体等效电容 | C_{XO} | | 7 | | pF | |
| 驱动功率 | P_{XIN} | | 100 | | μW | |
| 无源晶体输入特性 | | | | | | |
| 片内电容 | C_{ONCHIP} | | 12 | | pF | |
| 单端输入特性 (晶体振荡器过驱模式) | | | | | | |
| 输入频率 | F_{XIN} | | | 50 | MHz | 单端时钟输入驱动 X_{IN} , X_{OUT} 浮空 |
| 输入电压摆幅 | V_{SWING} | | | 2 | V | |
| 单端输入特性 (晶体振荡器旁路模式) | | | | | | |
| 输入频率 | F_{XIN} | | | 50 | MHz | 单端时钟输入驱动 X_{IN} , X_{OUT} 浮空 |
| 输入高电平 | V_{XINH} | $0.7 \cdot V_{DD}$ | | $V_{DD}+0.3$ | V | |
| 输入低电平 | V_{XINL} | -0.3 | | $0.3 \cdot V_{DD}$ | V | |

表 7 LVCMOS 输出特性⁽⁵⁾

测试条件: $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, $2.375\text{V} \leq V_{DD} \leq 3.465\text{V}$, $1.35\text{V} \leq V_{DDOX} \leq V_{DD}$, 测试频率为 100MHz, 负载为 5pF 并联 50Ω ; 除特殊说明。



| 参数 | 记号 | 数值 | | | 单位 | 备注 |
|-------------|-----------------------|----------------------|------|----------------------|----------|--|
| | | 最小值 | 典型值 | 最大值 | | |
| 输出高电平 | V_{OH} | $0.8 \cdot V_{DDOX}$ | | | V | $V_{DDOX}=2.375 \sim 3.465V$ |
| | | $0.7 \cdot V_{DDOX}$ | | | V | $V_{DDOX}=1.35 \sim 2V$ |
| 输出低电平 | V_{OL} | | | $0.2 \cdot V_{DDOX}$ | V | $V_{DDOX}=2.375 \sim 3.465V$ |
| | | | | $0.3 \cdot V_{DDOX}$ | | $V_{DDOX}=1.35 \sim 2V$ |
| 输出直流阻抗 | R_0 | | 15 | | Ω | $V_{DDOX}=3.3V$ |
| | | | 20 | | Ω | $V_{DDOX}=2.5V$ |
| | | | 25 | | Ω | $V_{DDOX}=1.8V$ |
| | | | 30 | | Ω | $V_{DDOX}=1.5V$ |
| 输出频率 | F_{OUT} | 0 | | 200 | MHz | |
| 占空比 | Duty Cycle | 45 | 50 | 55 | % | |
| 输出偏斜 | $t_{Skew}^{(6)}$ | | 30 | 50 | ps | |
| 芯片与芯片之间偏斜 | $t_{PDP}^{(6)}$ | | | 2 | ns | |
| 输出时延 | t_{Delay} | 1.5 | 1.95 | 4.0 | ns | $V_{DD}=3.3V$ $V_{DDOX}=1.35V \sim V_{DD}$ |
| | | 1.8 | 2.4 | 4.4 | ns | $V_{DD}=2.5V$ $V_{DDOX}=1.35V \sim V_{DD}$ |
| 上升/下降时间 | t_{Rise} / t_{Fall} | | 250 | | ps | $V_{DD}=3.3V$ $V_{DDOX}=1.8V$ $C_L=10pF$ |
| | | | 275 | | ps | $V_{DD}=2.5V$ $V_{DDOX}=2.5V$ $C_L=10pF$ |
| | | | 315 | | ps | $V_{DD}=3.3V$ $V_{DDOX}=3.3V$ $C_L=10pF$ |
| 随机附加抖动(RMS) | t_j | | 50 | | fs | $F_{OUT}=25MHz$ 输入偏斜率 $\geq 2V/ns$ $C_L=5pF$ 12kHz to 20MHz |
| 输出使能/去使能时间 | t_{EN} | | | 2 | Cycle | |
| 通道隔离度 | Isolation | 55 | | | dBc | 125MHz |

* (5) LVCMOS 的输出交流特性取决于输出的容性负载。

(6) 该参数基于芯片设计定义, 非实际测试值。



5 功能描述

控制信号

INS6110 有三个控制信号，分别控制输入时钟的选择和输出时钟的使能。

输入时钟选择信号 (SELO, SEL1)：根据选择信号的高低电平，选择需要扇出的输入时钟，具体参考表 8。

表 8 输入时钟选择表

| SEL1 | SELO | 扇出的输入时钟 |
|------|------|--|
| 0 | 0 | CLK0/nCLK0 |
| 0 | 1 | CLK1/nCLK1 |
| 1 | 0 | X _{IN} /X _{OUT} 或晶体振荡器过驱模式 |
| 1 | 1 | 晶体振荡器旁路模式 |

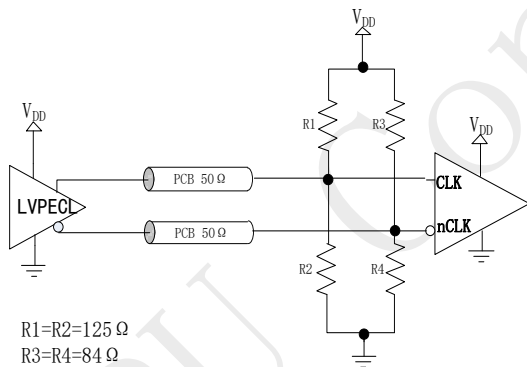
晶体振荡器过驱：LVCMOS 输入，交流耦合驱动 X_{IN}

晶体振荡器旁路模式：LVCMOS 输入，直流耦合驱动 X_{IN}

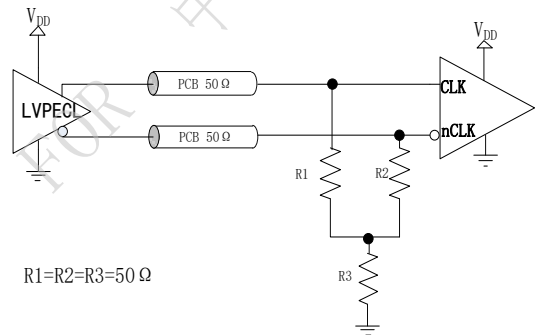
输出使能信号 (OE)：当 OE 信号为低电平时，去使能时钟输出，输出信号为高阻；当 OE 信号为高电平时，使能时钟输出信号。具体参考表 10。

输入时钟

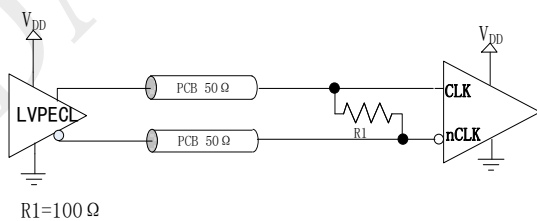
CLK/nCLK 差分输入：该芯片的共模电压和摆幅电压较宽, CLK/nCLK 支持多种差分时钟输入 (LVPECL, LVDS, HCSL, SSTL 等)。输入匹配电路通过交流耦合或直流耦合将输入信号进行转换, 来满足规格书定义的电气参数。图 3 为推荐的输入匹配电路。



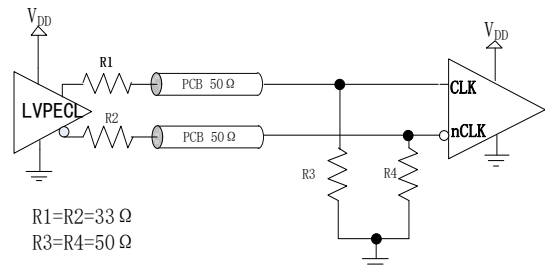
(a) LVPECL 驱动输入时钟 (戴维南并联端接)



(b) LVPECL 驱动输入时钟 (Y型并联端接)



(c) LVDS 驱动输入时钟



(d) HCSL 驱动输入时钟



$R1=R2=R3=R4=120\ \Omega$

(e) SSTL驱动输入时钟

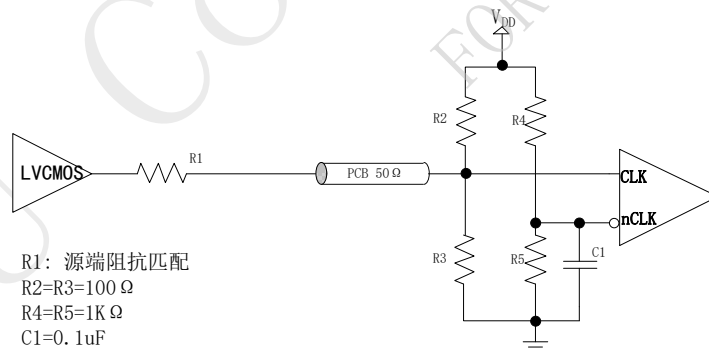
图 3 差分输入驱动 CLK/nCLK 匹配电路

注意

- 使用差分输入, INS6110 可以支持更宽的工作频率范围, 抑制电源噪声和温度变化, 输出时钟具有更低的相噪和抖动;
- 当输入差分信号共模电压超出 INS6110 定义的 V_{CM} 范围时, 必须使用交流耦合将输入信号的共模电压转换到 V_{CM} 接受的范围内;
- 当不使用 CLK/nCLK 时, CLK/nCLK 可以悬空。

CLK/nCLK 单端输入: CLK/nCLK 也支持单端 LVCMOS 输入, 通过耦合匹配电路将输入信号进行转换, 满足规格书定义的电气参数。

参考图 4 单端直流耦合电路, R1 为源端阻抗匹配, 靠近信号驱动源放置; 当 LVCMOS 信号为 3.3V/2.5V 驱动时, R2 和 R3 (100 Ω) 为终端阻抗匹配, 靠近 CLK 引脚放置, 衰减输入信号幅度的 1/2; nCLK 引脚的输入信号为 V_{DD} 的 1/2。



R1: 源端阻抗匹配
R2=R3=100 Ω
R4=R5=1K Ω
C1=0.1 μ F

图 4 LVCMOS 单端输入驱动 CLK/nCLK 匹配电路

X_{IN}/X_{OUT} : 支持外部无源晶体或者单端时钟输入。当 SEL 为低电平时, X_{IN}/X_{OUT} 可以浮空。当 SEL 为高电平时, X_{IN} 不允许开路。

外部无源晶振匹配电路参考图 5 (a), 根据实际应用中的无源晶体的负载容抗 C_L , 选择对应的 C1 和 C2, R_{Limit} 用来限制晶体的电流 (可选)。

X_{IN} 支持单端时钟输入, 通过交流耦合支持过驱模式, 匹配电路参考图 5 (b); 同时也支持晶体旁路模式, 不需要交流耦合。 X_{IN} 内部有直流偏置电压。



图 5 X_{IN}/X_{OUT} 匹配电路

输出时钟

INS6110 提供两组独立供电的 LVCMOS 输出时钟 Bank (见表 9)，两组 Bank 可以根据 V_{DDOA} 和 V_{DDOB} 的供电电压分别输出两组不同电平的 LVCMOS 信号。输出电平支持 1.5V，1.8V，2.5V 和 3.3V，可以灵活实现输入时钟和输出时钟的电平转换。

表 9 输出时钟 Bank

| Bank | 输出时钟 |
|-------|--------------------|
| BankA | Y0, Y1, Y2, Y3, Y4 |
| BankB | Y5, Y6, Y7, Y8, Y9 |

LVCOMS 输出时钟内阻见表 7。

输出时钟的状态请见表 10。

表 10 输出时钟状态

| OE | SEL[1] | 输入时钟 | 输出时钟 |
|-----|--------|------------------|------|
| 高电平 | 低电平 | CLKx=开路 nCLKx=开路 | 低电平 |
| | | CLK=高电平 nCLK=低电平 | 高电平 |
| | | CLK=低电平 nCLK=高电平 | 低电平 |
| | 高电平 | X_{IN} =高电平 | 高电平 |
| | | X_{IN} =低电平 | 低电平 |
| 低电平 | X | X | 高阻 |

注意

- 不使用的时钟输出，建议悬空

工作电源

INS6110 采用三路电源供电，芯片功耗较低，可以满足客户不同的时钟电平转换需求。

V_{DD} 为 INS6110 的核工作电压，支持 2.5V 和 3.3V 供电。

V_{DDOA} 和 V_{DDOB} 分别为 INS6110 的输出时钟 BankA 和 BankB 的工作电压，支持 1.5V，1.8V，2.5V 和 3.3V 供电。



注意

- V_{DD0A} 和 V_{DD0B} 必须小于或等于 V_{DD}
 - V_{DD0A} 和 V_{DD0B} 禁止接地
-

DAPU Confidential FOR 中科芯



6 环境说明

表 11 环境说明

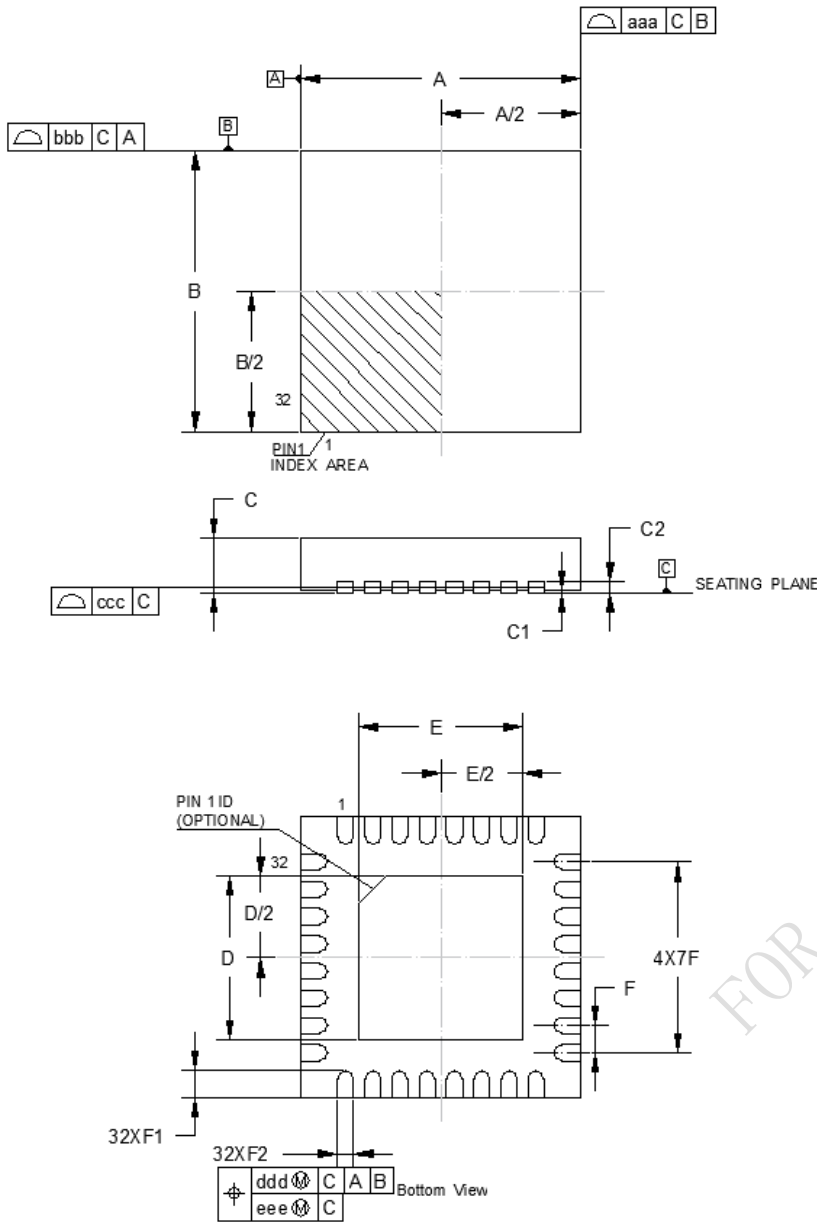
| 属性 | 值 | 单位 | 备注 |
|------|---------|----|---|
| 静电等级 | ±2500V | V | HBM, 参照 ANSI/ESDA/JEDEC JS-001 |
| | ±1000V | V | CDM, 参照 JEDEC specification JESD22-C101 |
| 湿敏等级 | Level 3 | | |
| RoHS | RoHS2.0 | | |

* HBM: Human body model

CDM: Charged-device model



7 封装尺寸



| 尺寸 | 最小值 | 典型值 | 最大值 |
|-----|------|------|------|
| A | 4.85 | 5.00 | 5.15 |
| B | 4.85 | 5.00 | 5.15 |
| C | 0.70 | 0.75 | 0.80 |
| C1 | -- | -- | 0.05 |
| C2 | -- | -- | 0.20 |
| D | 3.30 | 3.40 | 3.50 |
| E | 3.30 | 3.40 | 3.50 |
| F | -- | 0.50 | -- |
| F1 | 0.30 | 0.40 | 0.50 |
| F2 | 0.18 | -- | 0.30 |
| aaa | -- | -- | 0.15 |
| bbb | -- | -- | 0.10 |
| ccc | -- | -- | 0.08 |
| ddd | -- | -- | 0.10 |
| eee | -- | -- | 0.10 |

图 6 封装尺寸图 (QFN32)



| 尺寸 (毫米) | |
|---------|------|
| A1 | 5.15 |
| A2 | 5.15 |
| B1 | 4.15 |
| B2 | 4.15 |
| C1 | 3.00 |
| C2 | 3.00 |
| E | 0.25 |
| F | 0.5 |
| G | 0.08 |
| H | 0.07 |
| I | 0.50 |
| J | 0.30 |
| R | 0.15 |

图 7 推荐焊盘图 (QFN32)

- 备注: 1. 尺寸单位为毫米 (mm)
 2. 热焊盘必须焊接到 PCB 板上